

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-005867

(43)Date of publication of application : 14.01.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 04-160632

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.06.1992

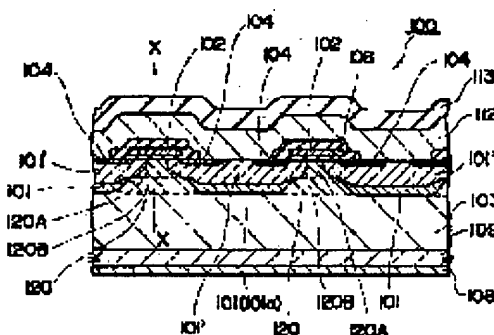
(72)Inventor : IIJIMA TETSUO

(54) SEMICONDUCTOR DEVICE AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To provide a small and low-consumption power MOS transistor without deteriorating the breakdown strength.

CONSTITUTION: A plurality of well diffused layers 101 are formed on the semiconductor substrate for a power MOS transistor 100, a source area 104 is formed in the well diffused layer 101 and a semiconductor substrate other than the well diffused layer 101 is formed as a drain substrate layer 103. High concentration impurities are introduced at the top of the drain substrate layer 103 sandwiched by the plurality of well diffused layers 101 from the substrate and a high concentration impurity introducing part 120 is formed. The high concentration impurity introducing part 120 has a larger cross-section in the horizontal direction at the bottom and the higher concentration impurities are introduced at the top. The concentration profile of the high concentration impurity introducing part 120 is formed by two steps and implantation is performed twice by different implantation depths so as to form the profile.



rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3259330

[Date of registration] 14.12.2001

[Number of appeal against examiner's
decision of rejection] 2001-14647

[Date of requesting appeal against examiner's
decision of rejection] 20.08.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-5867

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/784

9168-4M

H 0 1 L 29/ 78

3 2 1 S

審査請求 未請求 請求項の数 3 (全 7 頁)

(21)出願番号

特願平4-160632

(22)出願日

平成4年(1992)6月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 飯島 哲郎

群馬県高崎市西横手町111番地 株式会社

日立製作所高崎工場内

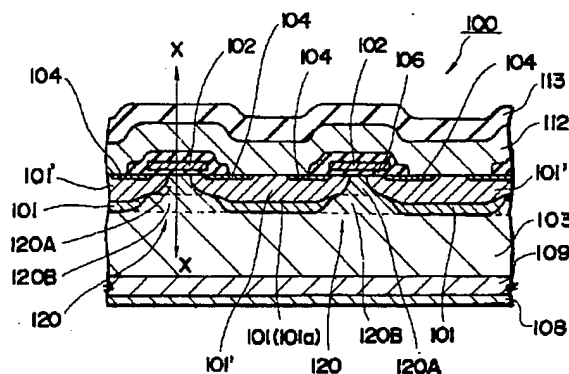
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 耐圧特性を低下させることなく、小型、低消費電力のパワーMOSトランジスタを提供する。

【構成】 パワーＭＯＳトランジスタ１００の半導体基板には、複数のウェル拡散層１０１が形成され、該ウェル拡散層１０１内にソース領域１０４が形成され、前記ウェル拡散層１０１以外の半導体基板がドレイン基板層１０３として形成され、前記複数のウェル拡散層１０１に挟まれたドレイン基板層１０３上部に基板より高濃度に不純物を導入して高濃度不純物導入部１２０が形成されている。高濃度不純物導入部１２０は、深度が深くなるにつれて水平方向の断面積が大きくなり、その深度が浅くなるにつれて濃度が高くように不純物が導入されてなる。前記高濃度不純物導入部１２０の濃度プロファイルは２段階に形成され、これを形成するに当たって、打込み深度が異なる２回のインプラが行われる。



1

【特許請求の範囲】

【請求項1】 第1の導電形の半導体基板に所定間隔を隔てて少なくとも2以上形成された第2の導電形のウェル拡散層と、該ウェル拡散層内に形成された第1の導電形のソース領域とを具え、前記ウェル拡散層以外の半導体基板部分がドレイン領域として形成され、前記少なくとも2以上のウェル拡散層に挟まれた半導体基板部分は、第1の導電形でそれよりも高濃度に不純物が導入されてなると共に、その深度が深くなるにつれて水平方向の断面積が大きくなるように形成された縦型パワーMOSトランジスタにおいて、ウェル拡散層に挟まれた前記半導体基板部分にはその深度が浅くなるにつれて濃度が高くように不純物が導入されてなることを特徴とする半導体装置。

【請求項2】 前記半導体基板の不純物濃度が $1 \times 10^{14} \text{cm}^{-3} \sim 4 \times 10^{14} \text{cm}^{-3}$ の範囲であるときの前記ウェル領域に挟まれた半導体基板部分の不純物濃度の最大値は $6 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{16} \text{cm}^{-3}$ であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 請求項1または2に記載の前記2以上のウェル拡散層に挟まれた半導体基板部分に不純物を導入するに当たって、打込み深度が異なる少なくとも2回の打込み工程にて不純物を重ね打つようにしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体技術さらにはMOSFETを用いた縦型パワーMOSトランジスタに適用して特に有効な技術に関し、例えば小型化及び低消費電力化が図られた縦型パワーMOSトランジスタに利用して有用な半導体装置に関する。

【0002】

【従来の技術】 電源等のスイッチングに用いられ耐圧が300V～600V程度の縦型パワーMOSトランジスタが公知である（例えば電子情報通信ハンドブック807頁）。近年の縦型パワーMOSトランジスタにおいては、十分な耐圧構造を保持しつつ、その小型化、低消費電力化が図られる。ところで、パワーMOSトランジスタの小型化を図るには、チャネル領域及びソース領域が形成されたウェル拡散層を多数形成するに当たり、該ウェル拡散層同士の間隔を狭めればよい。更にこのようにウェル拡散層間を狭めた場合、ドレインを挟んだソース領域及びベース領域間も狭められ、トランジスタ導通時にこの間に形成される空乏層がピンチオフしやすく、この結果ソース・ドレイン間接合部の電界強度が緩和され耐圧の向上が図られる。更にドレイン基板層の上端の間隔が狭められるためゲートからみたドレイン間の酸化膜容量（帰還容量）も小さくなる。しかしながら、上記のように小型化を図った場合、一方でそのオン抵抗が大きくなることが知られている。これはウェル拡散層に挟ま

2

れた、ゲート電極直下のドレイン基板層の面積縮小により、該ドレイン基板部分での抵抗値が高くなるためであり、抵抗値の増大に従って熱損失が増加し、トランジスタ全体としての消費電力が多くなる。

【0003】 トランジスタの小型化を図りつつ、このドレイン領域での抵抗値を低くすべく、図12に示すように、ウェル拡散層201、201…に囲まれたドレイン基板層203の上部側203a、203a、…に高濃度に不純物を導入し、もって、縮小化に伴う上記オン抵抗の増大を抑えた縦型パワーMOSトランジスタがアメリカ特許4376286号により提案されている。この提案は、ドレイン・ソース間耐圧が300V以上のパワーMOSトランジスタにおいてはウェル拡散層201、201、…に挟まれた上記ドレイン基板層203a、203a、…でのオン抵抗が、パワーMOSトランジスタを構成する素子全体のオン抵抗に一番影響が大きいことに鑑み（この領域での抵抗値は全体の約半分程度の抵抗値となっている）、この領域のオン抵抗を下げるため、その耐圧を低下させないと云う条件の下で、表面に不純物を高濃度に、しかも浅く導入したものである（図13には図12のX-X線に沿った不純物濃度分布を示す）。

【0004】

【発明が解決しようとする課題】 しかしながら、上記提案の縦型パワーMOSトランジスタ構造を採用してオン抵抗の低下を図った場合、以下のような問題点があることが本発明者らによって明かとされた。即ち、ウェル拡散層201、201、…同士の間隔を狭め、この間に形成されるドレイン基板層の上部203a、203a、…に不純物を導入した場合、電圧が印加されたときに該不純物が導入されたドレイン基板部において空乏層が広がり難くなり、この結果、この領域での耐圧が低下し易くなる。従って、上述の手法を採った場合には、ドレイン基板層の上部に導入される不純物の濃度と深さを、形成されるチャネル層の幅、ウェル拡散層の設置間隔等の他のパラメータに合わせて最適値を選ぶようにしなければならない。即ち、上記パラメータを選択し、このパラメータに従って形成されたパワーMOSトランジスタの耐圧、オン抵抗、さらには、ゲート電極とドレイン間の帰還容量（寄生容量）等の特性が、最適となるように、ドレイン基板層に導入される不純物の濃度と深さを決定する必要がある。従って、ドレイン基板層に導入される不純物の濃度と深さを決定するために、各パラメータの組合せによって得られたトランジスタ毎に、多くの特性項目（耐圧、オン抵抗、容量）を評価しなければならず、最適な特性を得るために、上記不純物の濃度と深さを決定することが困難であった。

【0005】 本発明はかかる事情に鑑みて為されたもので、耐圧特性を低下させることなく、小型、低消費電力のパワーMOSトランジスタを提供することを目的とす

3

る。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかにするであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。即ち、請求項1に記載の半導体装置は、第1の導電形の半導体基板に所定間隔を隔てて少なくとも2以上形成された第2の導電形のウェル拡散層と、該ウェル拡散層及びチャネル拡散層内に形成された第1の導電形のソース領域とを具え、前記ウェル拡散層以外の半導体基板部分がドレイン領域として形成され、前記少なくとも2以上のウェル拡散層に挟まれた半導体基板部分は、第1の導電形でそれよりも高濃度に不純物が導入されてなると共に、その深度が深くなるにつれて水平方向の断面積が大きくなるように形成された縦型パワーMOSトランジスタにおいて、ウェル拡散層に挟まれた前記半導体基板部分にはその深度が浅くなるにつれて濃度が高くなるように不純物が導入されてなる。また、請求項3の半導体装置の製造方法によれば、請求項1に記載の2以上のウェル拡散層に挟まれた半導体基板部分への不純物の導入が、打込み深度が異なる少なくとも2回の打込み工程にて行われる。

【0007】

【作用】請求項1の発明によれば、チャネル領域とソース領域が形成されるウェル拡散層の設置間隔を狭めて、半導体基板部分（ドレイン基板層）の上端を狭くしつつ、更にウェル拡散層に挟まれた半導体基板部分の不純物濃度が、その深度が浅くなるにつれて濃度が高くなるように形成されているので、トランジスタ導通時には、該半導体基板部分に形成される空乏層が均等となって、この部分での電界集中が防止され、耐圧低下が防止される。また、請求項3の発明によれば、上記ウェル領域に挟まれた半導体基板部分への不純物の導入が、深度の異なる2回の不純物打ち込みによって行われるので、不純物の導入パターンの態様が多様化し、トランジスタの耐圧、帰還容量、オン抵抗値を最適値に調整するための設計上のパラメータ選択が容易となる。

【0008】

【実施例】以下本発明の一実施例について、図1～図3を参照して詳細に説明する。図1は、本実施例のnチャネル縦型パワーMOSトランジスタ100の縦断面図である。この実施例で示されたnチャネルパワーMOSトランジスタ100の場合、ドレイン領域が形成されるドレイン基板層103の不純物濃度が $1 \times 10^{14} \text{cm}^{-3} \sim 4 \times 10^{14} \text{cm}^{-3}$ であって、ドレイン耐圧を300V～600V程度確保するように形成されてなる。

【0009】以下、このパワーMOSトランジスタ100の構造について説明する。図1に示すように、パワーMOSトランジスタ100は、n形半導体基板101に

4

形成されるもので、該基板109の上層側にはn形不純物が導入されたドレイン基板層103が形成され、一方、基板109の下側にはドレイン用の裏面電極108が形成されている。又、前記基板層103には多数のp形のウェル拡散層101、101、…及びチャネル拡散層101'、101'、…が所定間隔(LW)隔てて形成されている。このpウェル拡散層101、101、…及びチャネル拡散層101'、101'、…には、その基板表面側にn形の高濃度不純物領域（ソース領域）104、104…が形成されている。そしてトランジスタの作動時、このチャネル拡散層101'、101'…のゲート電極102下の表面にチャネルが形成されるようになっている。

【0010】又、上記pウェル拡散層101、101、…及びチャネル拡散層101'、101'、…に挟まれたn形のドレイン基板層103の上部には、n形の高濃度不純物導入部120が形成されている。この高濃度不純物導入部120は、その深度が深くなるにつれて水平方向の断面積が大きくなる形状であり、導入されている不純物（例えばリン）の濃度は、その深度が浅くなるにつれて濃度が高くなっている。即ち、このn形高濃度不純物導入部120は、後述するように、例えば、打込み深度の異なる2回のイオン打ち込み（インプラ）によって形成され、従って、その濃度プロファイルは、図10に示すように、2段階（領域A、B）に変化する。そして、上層側の領域A（以下、第1高濃度層（第1層）120Aと称する）の不純物濃度（少なくとも最大値）は、下層側の領域B（以下、第2高濃度層（第2層）120Bと称する）の不純物濃度（その最大値）より高濃度となるように不純物（例えばリン）が導入されている。

【0011】又、上記高濃度不純物導入部120上方にはシリコン酸化膜（ゲート酸化膜）106を介してゲート電極102、102…が形成されており、後述するようにこのゲート電極102、102の設置間隔にてウェル拡散層101、101…及びチャネル拡散層101'、101'、…の横幅が決定されるようになっている。又、ゲート電極102、102…自体の幅を調整することによりドレイン幅LWが決定される（図2）。

【0012】概略上記のように構成されてなる縦型パワーMOSトランジスタ100は以下に示す製造プロセスに従って形成される。

先ず、パワーMOSトランジスタが形成される領域に不純物（例えばリン）のインプラ・拡散を行ってその表層にn形の高濃度不純物導入部120を形成する（図3）。この時の不純物（リン）の打ち込みは、その濃度が $5 \times 10^{15} \text{cm}^{-3}$ 程度、打ち込みの深さが4～5μm程度で行われる（図9の実線I）。

次に、基準となるpウェル拡散層（例えば図1の拡散層101a）を形成すべく、ドレイン基板層103表面

5

に形成されたマスク材131を拡散層の形状に従ってパターンニングし、その後p形不純物（例えばボロン）のインプラ・拡散を行う（図9の破線II）。そしてこのp形拡散層101aに再度p形不純物のインプラ・拡散を行って（図9の破線IV）、チャネル領域101'を形成する（図4）。

更に、上記拡散層101aにマスク材132を形成し、この拡散層101a以外の、ドレイン基板層103に、n形不純物（リン）をインプラ・拡散により重ねて導入し上記高濃度不純物導入部120の上半分側に、第1の高濃度層を形成する。この第1の高濃度層120Aの下側の層が第2の高濃度層120Bとなる（図5）。尚、上記不純物（リン）打ち込みは、そのピーク濃度が $3 \times 10^{15} \text{cm}^{-3}$ 程度、深さが $2 \sim 3 \mu\text{m}$ 程度にて行われる（図9、2点鎖線III参照）。

このようにn形又はp形の不純物拡散層が形成されたドレイン基板層103の表面にゲート酸化膜106を酸化工程で形成し、その上部に多結晶シリコン（102）をデポジションさせ、これをパターンニングしてゲート電極102、102、…をそのゲート幅LDが $5 \sim 8 \mu\text{m}$ 、更にゲート電極間の間隔LSが $15 \sim 24 \mu\text{m}$ となるように形成する（図6）。

次いで上記形成されたゲート電極102、102…をマスクとして、n形半導体基板101の表面の所定位置に、他のnウェル拡散層101b、101b、…をインプラ・拡散によりセルフアライメントで形成する。この場合の不純物（ボロン）の導入は図9の破線II及び一点鎖線IVに従って重ねて行われる。このようにしてドレイン基板層103にpウェル拡散層101、101及びチャネル拡散層101'、101'、…が形成される。更に、この拡散層101、101、101'、101'に対して、上記ゲート電極102、102、…をマスクとして用いた、n形不純物のインプラ・拡散により該pウェル拡散層101、101…及びチャネル拡散層101'、101'、…内部にn形不純物拡散層（ソース領域）104、104…をセルフアライメントで形成し、縦型パワーMOSトランジスタの基本的な構造を得る（図7）。

その後、層間絶縁膜（例えば SiO_2 ）107をデポジションし、これにA1引出し電極用のスルーホール111、111…（ソース電極用のみ図示）を、ソース領域、及びゲート電極が形成された領域に対応させて設け、A1配線112を蒸着し、これをパターンニングして夫々の配線パターンを形成する（図8）。

そして、熱処理によるA1-Siのアロイングを行った後、表面保護膜113を形成し、ボンディングパッド用のスルーホール（図示省略）を形成し、最後に半導体基板109の裏面に裏面電極108を蒸着して図1に示すパワーMOSトランジスタ構造を得る。

【0013】このようにして得られたパワーMOSトラ

6

ンジスタ100は、ドレイン基板層103のうちpウェル拡散層101、101、…及びチャネル拡散層101'、101'、…によって囲まれた部分に、高濃度不純物導入部120が形成され、しかもこの導入部120の不純物濃度が、上方となるにしたがって濃く形成されているので（第1の高濃度層120Aに導入される不純物濃度が第2の高濃度層120Bの濃度より濃く形成されている）、トランジスタ導通時に、高濃度不純物導入部120に生じる空乏層を当該導入部120内で均等にし、電界集中を回避することができる。また、該高濃度不純物導入部120の不純物の導入の態様が多様化するので、他のトランジスタの各構成部の不純物濃度/拡散層の深さ、ゲート電極の幅、拡散層の大きさ等の製造時のパラメータをある程度決定した後であっても、該パワーMOSトランジスタの特性が最適となるように、即ち、小型化に伴うオン抵抗の増大、耐圧の低下防止を同時に達成するように上記第1、第2の高濃度層の不純物濃度を決定することができる。

【0014】実際に、上記構成のパワーMOSトランジスタの各構成部及びその設計に用いられるパラメータを以下のように選択したところ、従来のパワーMOSトランジスタに比して著しくその特性が向上した。以下、詳述する。

【0015】本実施例のnチャネルパワーMOSトランジスタ（ドレイン耐圧 $=300 \sim 600 \text{V}$ ）は、以下のように各部のパラメータが決定されている。

(1) ドレイン基板層の不純物濃度 $=1 \times 10^{14} \text{cm}^{-3} \sim 4 \times 10^{14} \text{cm}^{-3}$

(2) 第1高濃度層120Aの不純物濃度 $=6 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{16} \text{cm}^{-3}$ ；深さは $2 \sim 3 \mu\text{m}$ 程度（図10のAにて示す範囲）

(3) 第2高濃度層120Bの不純物濃度 $=1 \times 10^{15} \text{cm}^{-3} \sim 5 \times 10^{15} \text{cm}^{-3}$ ；深さは $2 \sim 3 \mu\text{m}$ 程度（図10のBにて示す範囲）

(4) ゲート電極102、102のゲート幅LD $=5 \sim 8 \mu\text{m}$ ；ゲート電極間の間隔LS $=15 \sim 24 \mu\text{m}$

(5) pウェル拡散層の相互の間隔LW $=1.5 \sim 2.5 \mu\text{m}$

(6) pウェル拡散層（チャネル層）の縦横の幅LC $=15 \mu\text{m}$ 以上

【0016】以上の条件に従って実際にパワーMOSトランジスタを構成した結果、トランジスタ特性（オン抵抗RONと、ソース・ドレイン間耐圧VDSS）は図11の実線Iにて示すものとなる。これは、高濃度不純物導入部の不純物の導入を1のパターン（高濃度層が1つのみ形成）にて行った従来のパワーMOSトランジスタ（図13に従来のトランジスタ（図12）のX-X線に沿った濃度特性を示す）の特性（図11の破線にて示す）に比して、オン抵抗を素子全体で4～5%低減させ、ドレイン基板層—ゲート電極間の酸化膜容量（帰還容量）を約

20%低減させる構造とすることができた（尚、比較するに当たっては、チャネル層101'、ウェル拡散層101の深さ、第2層の濃度特性、ドレイン基板103の不純物濃度、基板の厚さを同一とした。又、耐圧VDSSは、トランジスタ全体としての耐圧が互いに同一となるように構成して、これらを比較した）。

【0017】以上のように、第1の高濃度層120Aの不純物濃度を、第2の高濃度層120Bの不純物濃度より高濃度と云う具合に段階的にその濃度を变化させることによって、高濃度不純物導入部120全体として、ドレイン基板層の幅が狭い基板表面近傍では不純物濃度を濃くし、幅が広がる下部側で不純物濃度をこれより薄くする（図12に示す従来の高濃度層203aと略同一の濃度）ことによって、トランジスタ導通時に生じる空乏層を当該導入部120内で均等にし、電界集中を回避して、高濃度化に伴う耐圧低下が防止される。

【0018】また、本実施例のn形パワーMOSトランジスタによれば、ドレイン基板層103の上部に形成された高濃度不純物導入部120が第1高濃度層120Aと第2高濃度層120Bの2段構造となっており、第1高濃度層の不純物濃度と、第2高濃度層の不純物濃度とを異なるように設定できるので、高濃度不純物導入部120の不純物導入量を適宜調整することにより、そのトランジスタ特性（オン抵抗RON、ソース・ドレイン間耐圧VDSS、帰還容量）を最適値としたまま素子の小型化を図ることが容易となる。

【0019】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、本実施例にて示したトランジスタの各部分の膜厚、不純物濃度等は、例示的に列挙したものであり、これらの例示範囲を逸脱したトランジスタにおいても、高濃度不純物領域を2段階に形成し、これらの領域に導入される不純物の濃度の組合せを種々変化させることによって、更に、小型化、オン抵抗の低減等が図られるパワーMOSトランジスタの設計が容易となる。また、上記実施例のパワーMOSトランジスタを形成するに当たっては、導入されるn形不純物としてリン（P）、p形不純物としてボロン（B）を例示したが、他のn形、p形不純物を導入しても同様の効果が得られる。

【0020】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。本発明によれば、チャネル領域とソース領域が形成されるウェル拡散層及びチャネル拡散層の設置間隔を狭めて、ドレイン基板層の上端を狭くし、且つ、該半導体基板部分の耐圧低下が防止されるので、オン抵抗の増大防止、耐圧の低下防止を図りつつ、パワーMOSトランジスタの小型、低消費電力化が達成され

る。

【図面の簡単な説明】

【図1】本実施例のnチャネル縦型パワーMOSトランジスタ100の縦断面図である。

【図2】図1のトランジスタ100のゲート幅LD、ゲート電極の間隔LS、チャネル幅LC、ウェル拡散層の設置間隔LWを説明するための縦断面図である。

【図3】パワーMOSトランジスタ100の製造プロセスのうち、インプラ・拡散を行って基板表層にn形の高濃度不純物導入部120を形成した状態を示す断面図である。

【図4】図3の半導体装置に基準となるウェル拡散層及びチャネル拡散層を形成した状態を示す断面図である。

【図5】図4の半導体装置にインプラを行って高濃度不純物導入部120の上半分側に、第1の高濃度層を形成した状態を示す断面図である。

【図6】図5の半導体装置の基板層103の表面にゲート電極を形成した状態を示す断面図である。

【図7】図6の半導体装置にゲート電極をマスクとしてインプラを行って他のウェル拡散層を形成した状態を示す断面図である。

【図8】図7の半導体装置に、層間絶縁膜をデポジションした後、A1配線パターンを形成した状態を示す断面図である。

【図9】上記製造プロセスにて行われるインプラの濃度／深度を示すグラフである。

【図10】本発明のパワーMOSトランジスタの濃度プロファイルを示すグラフである。

【図11】本発明のパワーMOSトランジスタの特性（オン抵抗RONと、ソース・ドレイン間耐圧VDSS）を従来のトランジスタの特性と比較して示したグラフである。

【図12】従来構造のパワーMOSトランジスタを示す縦断面図である。

【図13】従来構造のパワーMOSトランジスタの濃度プロファイルを示すグラフである。

【符号の説明】

100 縦型nチャネルパワーMOSトランジスタ

101 ウェル拡散層

101' チャネル拡散層

102 ゲート電極

103 ドレイン基板層

120 高濃度不純物導入部

120A 第1高濃度層（第1層）

120B 第2高濃度層（第2層）

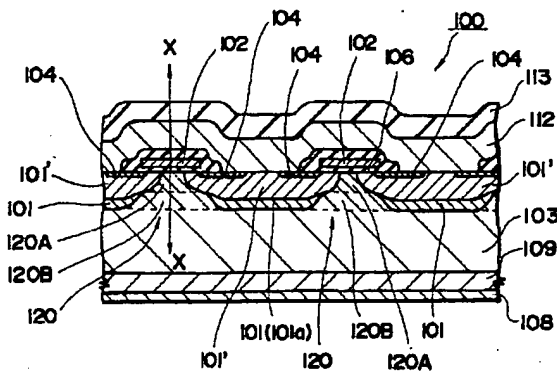
LW ドレイン幅

LS ゲート電極の間隔

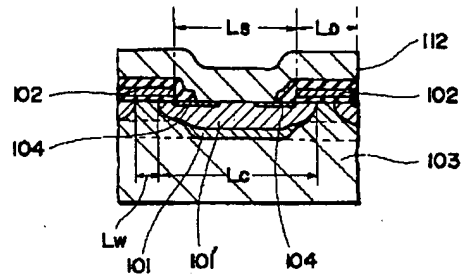
LC チャネル幅

LD ゲート幅

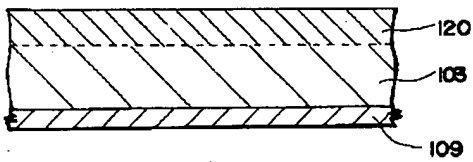
【図 1】



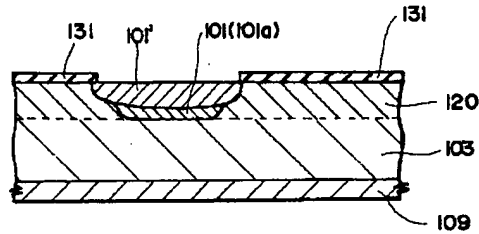
【図 2】



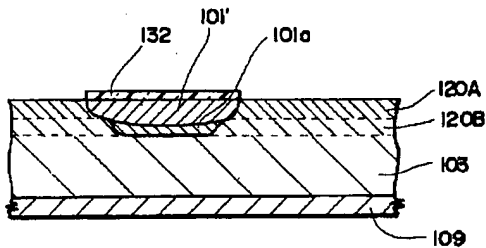
【图 3】



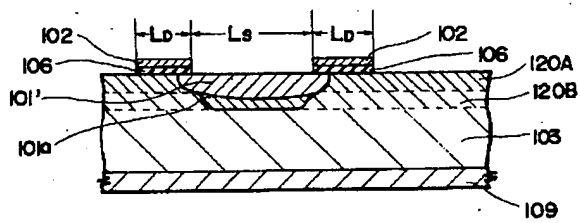
【例 4】



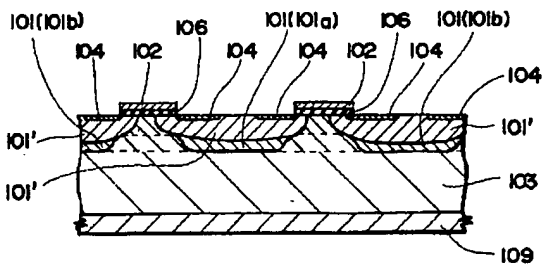
【図 5】



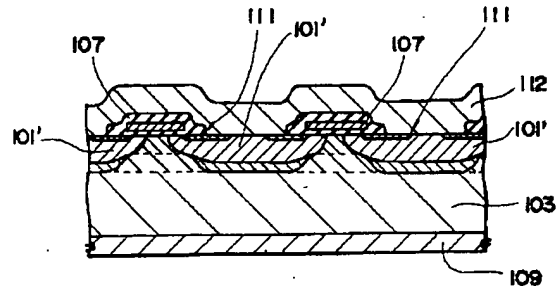
【図 6】



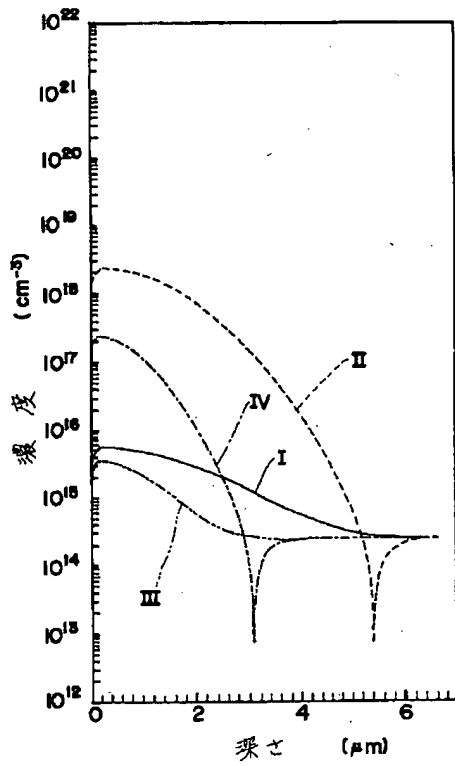
【图 7】



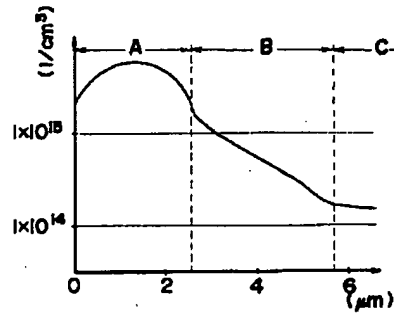
【图 8】



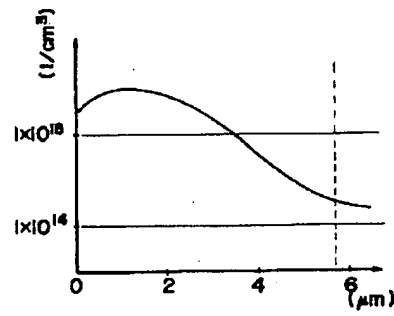
【図9】



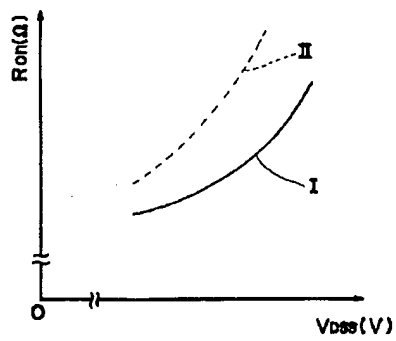
【図10】



【図13】



【図11】



【図12】

